

⑪ 公開特許公報 (A) 平2-10869

⑤Int.CI.⁵
H 01 L 27/118
27/04
H 03 B 5/32

識別記号
H 7514-5F
J 6832-5J
8526-5F

⑥公開 平成2年(1990)1月16日

H 01 L 21/82 M
審査請求 未請求 請求項の数 3 (全6頁)

⑦発明の名称 半導体装置

⑧特願 昭63-162156
⑨出願 昭63(1988)6月29日

⑩発明者 新谷義夫 東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑪発明者 稲津幹雄 東京都小平市上水本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内

⑫出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑬出願人 日立マイクロコンピュータエンジニアリング株式会社 東京都小平市上水本町1479番地

⑭代理人 弁理士 简井大和

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

- 半導体ペレットに配置された入出力回路セルの出力回路用トランジスタによって構成された増幅回路部と、前記半導体ペレットの外部に設けられた振動子とからなる発振回路を備えた半導体装置。
- 前記発振回路の前記増幅回路部をCMOS回路で構成したことを特徴とする請求項1記載の半導体装置。
- マスクスライス方式によって作成されたことを特徴とする請求項1記載の半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置技術に関し、例えば、マスクスライス方式によって作成される半導体装置に適用して有効な技術に関するものである。

〔従来の技術〕

マスクスライス方式によって作成される半導体装置、例えば、ゲートアレイについては、日経マグロウヒル社発行、「日経マイクロデバイス」1986年9月号P65～P80に記載があり、高機能化するCMOS(Complementary MOS)ゲートアレイについて解説されている。

ところで、第4図に示すように、ゲートアレイの入出力回路(I/O)セル20, 21と、I/Oセル20, 21に対応したポンディングパッド(以下、パッドという)22, 23に接続された水晶振動子24とを用いて発振回路を構成する場合、発振回路の増幅回路部である発振用インバータ回路25は、トランジスタのサイズが小さくとも大きな利得が得られるという理由から、内部セルアレイ領域のトランジスタと同じ構造、すなわち、静電破壊対策などのなされていない入力回路素子領域26のトランジスタを用いて構成していた。

また、近年、上記増幅回路部は、消費電力が、少なくて済むという理由から、CMOS回路で構

成している。

〔発明が解決しようとする課題〕

ところが、入力回路素子領域のトランジスタを用いて発振回路の増幅回路部を構成する従来の技術においては、以下のような問題があることを本発明者は見出した。

すなわち、増幅回路部である発振用のインバータ回路の入力側には、保護用抵抗が接続されているが、その出力側には、出力インピーダンスを低く抑え、増幅回路部の利得を大きくする必要上、保護用抵抗を接続できず、また、接続しても数十オーム程度の保護用抵抗しか接続できない。

したがって、上記したように、構造上、静電破壊に対して弱い入力回路素子領域のトランジスタを用いる従来の技術では、保護用抵抗の接続されていない発振用のインバータ回路の出力側から静電気などによる過大電圧（電流）が加わると、これに耐えることができない。例えば、トランジスタがMOS形の場合には、ゲート絶縁膜が絶縁破壊し、トランジスタは動作不能となる。

また、本発明の他の目的は、発振回路の増幅回路部が、CMOS回路で構成されている場合、そのラッチアップ耐性を向上させることのできる技術を提供することにある。

本発明の前記ならびにその他の目的と斬新な特徴は、明細書の記載および添付図面から明らかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。

すなわち、半導体ベレットに配置されたI/Oセルの出力回路用トランジスタによって構成された増幅回路部と、半導体ベレットの外部に設けられた振動子とからなる発振回路を備えた半導体装置構造とするものである。

また、発振回路の増幅回路部をCMOS回路で構成した半導体装置構造とするものである。

〔作用〕

上記した手段によれば、発振回路の増幅回路部は、構造上、入力回路用トランジスタよりも静電

また、トランジスタがCMOS構造の場合、さらに、次のような問題がある。

すなわち、出力回路素子領域のCMOS構造はラッチアップに対して強い構造となっているが、I/Oセルの入力回路素子領域のCMOS構造は、内部セルアレイ領域のCMOS構造と同じ構造、つまり、出力回路素子領域のCMOS構造よりラッチアップに弱い構造となっている。

したがって、例えば、発振用のインバータの出力側の電圧が、出力側から入ったノイズや、オーバーシュート、アンダーシュートなどのトリガ電流により V_{DD} より高くなると、ラッチアップが生じる。ラッチアップが生じると、配線が溶断し、さらには、この時の熱発生によって、素子、及び半導体ベレットを収納するパッケージが破壊されてしまう。

本発明は上記課題に着目してなされたものであり、その目的は、発振回路の増幅回路部の静電破壊耐性を向上させることのできる技術を提供することにある。

破壊に対して強い出力回路用トランジスタを用いて構成するため、その静電破壊耐性が向上する。

また、発振回路の増幅回路部は、消費電力の少なくて済むCMOS回路で構成される上、そのCMOS回路を、構造上、入力回路用トランジスタで構成されたCMOS回路よりも静電破壊、及びラッチアップに対して強い出力回路用MOSトランジスタで構成するため、そのラッチアップ耐性が向上する。

〔実施例1〕

第1図は本発明の一実施例である半導体装置のI/Oセルを示す平面図、第2図は半導体装置のI/Oセルを用いて構成した発振回路の回路図、第3図はこの半導体装置の概略平面図である。

本実施例の半導体装置は、CMOSゲートアレイであり、第3図に示す半導体ベレット1は、素子形成層と配線層とからなる。

ベレット1の中央部には、内部セルアレイ領域Aが設けられている。

内部セルアレイ領域Aには、内部配線領域Bに

よって互いに隔てられた基本セル列2が、第3図Y軸方向に複数段配置されている。

各基本セル列2には、複数の基本セル2aが、第3図X軸方向に配列されている。各基本セル2aには、図示しない同一サイズ、同一性能のNチャネルMOSトランジスタと、PチャネルMOSトランジスタとが複数対形成されている。

ユーザが所望する所定の論理回路（図示せず）は、基本セル2aのNチャネルMOSトランジスタ、PチャネルMOSトランジスタ間、及び各基本セル列2の内部に構成された論理セル間を、配線層に形成された図示しない信号用、電源用配線で接続して構成されている。

内部配線領域Bの外周には、外部配線領域Cが設けられ、さらに、その外周には、入出力バッファ回路を構成する複数のI/Oセル3が、X、Y両軸方向に沿って配列されている。

入出力バッファ回路は、例えば内部セルアレイ領域Aの論理回路と外部信号との整合をとったり、内部セルアレイ領域Aの電子をノイズ等から保護

入力回路素子領域Eには、同一サイズ、同一性能の入力回路用NチャネルMOSトランジスタ（以下、入力用NMOSという）7と、入力回路用PチャネルMOSトランジスタ（以下、入力用PMOSという）8とが所定敷形成されている。

また、出力回路素子領域Fには、同一サイズ、同一性能の出力回路用NチャネルMOSトランジスタ（以下、出力用NMOSという）9と、出力回路用PチャネルMOSトランジスタ（以下、出力用PMOSという）10と、保護用抵抗Rとが形成されている。

出力用NMOS9、出力用PMOS10は、それらのサイズが、入力用NMOS7、入力用PMOS8のサイズよりも大きく、静電破壊に強い構造になっている。さらに、出力用NMOS9と、出力用PMOS10との距離を充分とる等、ラッチャップに対しても強い構造になっている。

出力用NMOS9は、ポリシリコン等からなるゲート電極9a1、9a2と、N形不純物を注入・拡散して形成したN+拡散層9n1～9n2とか

したりする回路である。

各I/Oセル3の外周には、所定の大きさのパッド4が、配列されている。各パッド4には、ベレット1を収納するパッケージのリード端子（図示せず）がポンディングワイヤ（図示せず）を介して接続されるようになっている。

パッド4a、4bには、水晶振動子5が接続され、この水晶振動子5とパッド4a、4bに対応する2つのI/Oセル3a、3bとによって発振回路が構成されている。

次に、第1図を用いて、I/Oセル3aの構造、及びI/Oセル3bに形成された発振回路の増幅回路部である発振回路用のインバータ回路（以下、発振用インバータ回路という）6について説明する。

なお、I/Oセル3bは、I/Oセル3aと同じ構造になっているので、説明を省略するとともに、図も一部、省略する。

I/Oセル3aは、入力回路素子領域Eと、出力回路素子領域Fとから構成されている。

ら構成されている。

出力用PMOS10は、ポリシリコン等からなるゲート電極10a1、10a2と、P形不純物を注入・拡散して形成したP+拡散層10p1～10p2とから構成されている。

本実施例においては、このような出力用NMOS9のゲート電極9a1と出力用PMOS10のゲート電極10a1とが、配線11により結線され、また、出力用NMOS9のN+拡散層9n1と出力用PMOS10のP+拡散層10p1とが、配線12により結線され、CMOS回路による発振用インバータ回路6が構成されている。

また、配線11は、発振用インバータ回路6の入力用の配線であり、I/Oセル3aの保護用抵抗Rを介してパッド4aと接続されている。

配線12は、発振用インバータ回路6の出力用の配線であり、パッド4bと接続され、かつ、I/Oセル3bの保護用抵抗R、配線13を介してI/Oセル3bの入力回路素子領域Eに形成されたインバータ回路14と接続されている。

次に、第2図を用いて発振回路の構成を説明する。

出力回路素子領域Fに形成された発振用インバータ回路6の入出力端子とそれぞれ接続されたパッド4a, 4bと基準電位Gとの間には、それぞれコンデンサ15a, 15bが直列に接続されている。

そして、パッド4aと4bとの間には、抵抗R1、正帰還用の水晶振動子5がそれぞれ並列に接続され、発振回路が構成されている。

発振用インバータ回路6から発振されるクロック信号は、パッド4bからI/Oセル3bの保護用抵抗R、インバータ回路14を経て内部セルアレイ領域Aへ伝達されるようになっている。

このように本実施例によれば、発振回路の増幅回路部である発振用インバータ回路6が、静電破壊に対して強い構造を備えた出力用NMOS9と、出力用PMOS10とで構成されているため、発振用インバータ回路6の静電破壊耐性が向上する。

また、CMOS回路で構成された発振用インバ

例え、前記実施例では、振動子として水晶振動子を用いたが、これに限定されることなく種々変更可能であり、例えば、セラミック振動子などでもよい。

また、前記実施例では、発振用インバータ回路は、PチャネルMOSトランジスタ、NチャネルMOSトランジスタで構成したが、これに限定されず種々変更可能であり、例えば、バイポーラ形トランジスタ等でもよい。この場合は、静電気などの過大電圧(電流)によるバイポーラ形トランジスタの破壊を防ぐことができる。

また、発振用インバータは、出力回路用のトランジスタを使用して構成されていればよく、I/Oセル内の入力回路用、出力回路用トランジスタの配置の仕方、I/Oセル内での配線の結線の仕方などは、前記実施例で説明したものに限定されるものではない。

以上の説明では主として本発明者によってなされた発明をその背景となつた利用分野であるゲートアレイに適用した場合について説明したが、こ

ー回路6は、消費電力が少なくて済む上、構造上、入力回路素子領域Eに形成されたCMOS回路よりラッチアップに対して強い出力回路素子領域FのCMOS回路で構成されているため、そのラッチアップ耐性が向上する。

したがって、信頼性の高いCMOSゲートアレイが提供される。

また、発振用インバータ回路6が、出力用NMOS9、出力用PMOS10で構成してあるため、従来の入力用NMOS7と入力用PMOS8とで構成していた発振用インバータ回路よりも駆動力を向上させることができ、トランジスタを複数並列接続にすることにより、従来の発振用インバータ回路よりも高い周波数の発振に使用することができる。

以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

れに限定されることなく種々適用可能であり、例えば、スタンダードセル、1チップ・マイコンにゲートアレイを搭載した他の半導体装置などに適用することもできる。

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

すなわち、半導体ペレットに配置された入出力回路セルの出力回路用トランジスタによって構成された増幅回路部と、前記半導体ペレットの外部に設けられた振動子とからなる発振回路を備えたことにより、出力回路用トランジスタの構造よりも静電破壊に対して強い構造であるため、発振回路の増幅回路部の静電破壊耐性が向上する。

また、CMOS回路で構成された増幅回路部は、消費電力の少なくて済む上、そのCMOS回路を構造上、入力回路用トランジスタで構成されたCMOS回路よりも静電破壊、及びラッチアップに

対して強い出力回路用MOSトランジスタで構成するため、その静电破壊耐性、及びラッチアップ耐性が向上する。

4. 図面の簡単な説明

第1図は本発明の一実施例である半導体装置のI/Oセルを示す概略平面図。

第2図は半導体装置のI/Oセルを用いて構成された発振回路の回路図。

第3図はこの半導体装置の概略平面図。

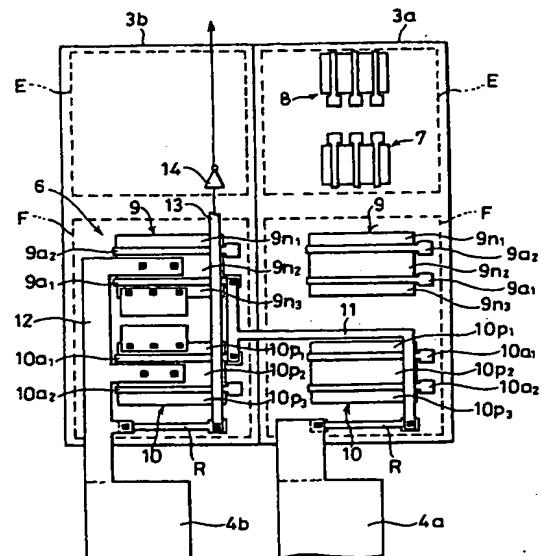
第4図は従来のゲートアレイの発振回路の回路図である。

1...半導体ペレット、2...基本セル列、
2a...基本セル、3、3a, 3b...I/O(入出力回路)セル、4, 4a, 4b...パッド、5...水晶振動子、6...発振用インバータ回路(増幅回路部)、7...入力用N MOS、8...入力用P MOS、9...出力用N MOS(出力回路用トランジスタ)、9a, 9a₁...ゲート電極、9n₁~9n₃...N
拡散層、10...出力用P MOS(出力回路用トランジスタ)

用トランジスタ)、10a, 10a₁...ゲート電極、10p₁~10p₃...P₁拡散層、11, 12, 13...配線、14...インバータ回路、15a, 15b...コンデンサ、G...基準電位、R...保護用抵抗、R₁...抵抗、A...内部セルアレイ領域、B...内部配線領域、C...外部配線領域、E...入力回路素子領域、F...出力回路素子領域、20, 21...入出力回路(I/O)セル、22, 23...ボンディングパッド、24...水晶振動子、25...発振用インバータ回路、26...入力回路素子領域。

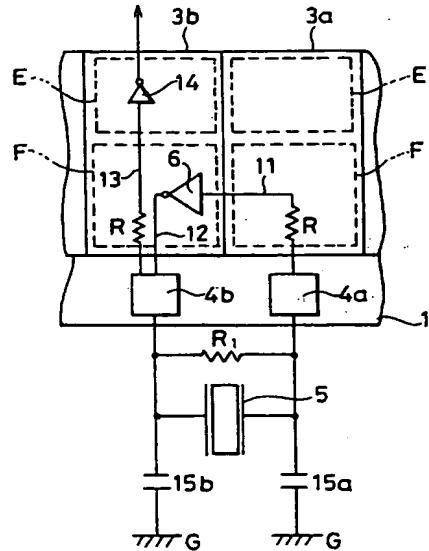
代理人弁理士筒井大和

第1図



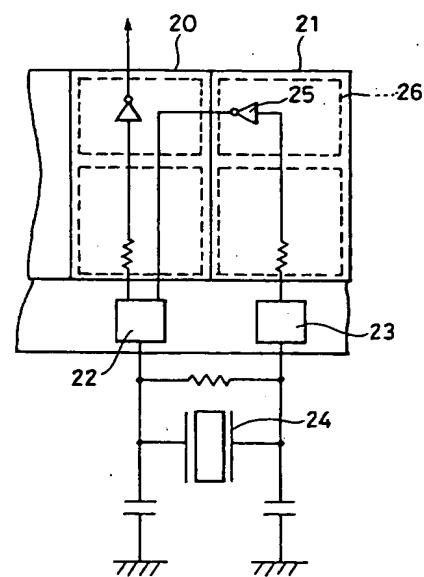
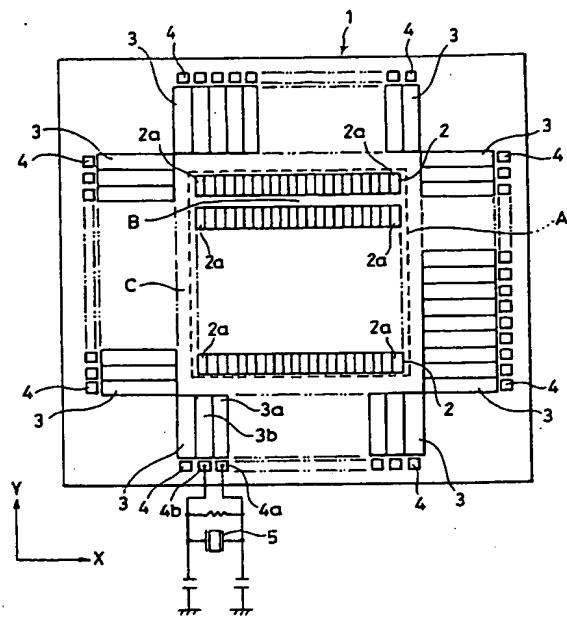
1: 半導体ペレット
3, 3a, 3b: 入出力回路セル
5: 水晶振動子(振動子)
6: 発振用インバータ回路(増幅回路部)
9: 出力用N MOS(出力回路用トランジスタ)
10: 出力用P MOS(出力回路用トランジスタ)

第2図



第4図

第3図



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成8年(1996)8月9日

【公開番号】特開平2-10869

【公開日】平成2年(1990)1月16日

【年通号数】公開特許公報2-109

【出願番号】特願昭63-162156

【国際特許分類第6版】

H01L 21/82

21/822

27/04

27/118

H03B 5/32 J 8321-5J

【F I】

H01L 21/82 P 8832-4M

M 8832-4M

27/04 H 8832-4M

8. 補正の内容

(1). 付許請求の範囲を別紙の通りに補正する。

(2). 明細書第5頁第14行の「からなる」を「を有する」に補正する。

(3). 明細書第14頁第12行の「からなる」を「を有する」に補正する。

(以上)

手続書類



平成7年3月17日

特許庁長官

1. 事件の表示

昭和63年特許願 第162156号

2. 発明の名称

半導体装置

2

3. 補正をする者

事件との関係 特許出願人

名称 (610) 株式会社 日立製作所
名称 日立マテロコソビ-テインクニアリング株式会社

4. 代理人 〒160

住所 東京都新宿区西新宿7丁目22番45号

N. S. Excel 301

筒井国際特許事務所 (03-3368-0787)

氏名 (8000) 筒井大和



5. 補正命令の日付 (自免)



6. 補正により増加する請求項の数: 3

7. 補正の対象 明細書の特許請求の範囲の項および発明の詳細な説明の項

(2)

(81 紙)

3

2. 特許請求の範囲

- 複数の基本セルを有する内部セルアレイと、前記内部セルアレイの外周辺に配置された入出力パッファ回路形成用の複数の入出力回路セルと、前記入出力回路セルに配置された入力回路用MISFETおよび出力回路用MISFETと、前記入出力回路セルの各々に対応するようにその外周近傍に配置された外部端子とを半導体ペレットの一端に配置してなる半導体装置であって、前記入出力回路セル内に隣接回路の増幅回路部を形成するための出力回路用MISFETを配置したことを特徴とする半導体装置。
- 複数の基本セルを有する内部セルアレイと、前記内部セルアレイの外周辺に配置された入出力パッファ回路形成用の複数の入出力回路セルと、前記入出力回路セルに配置された入力回路用MISFETおよび出力回路用MISFETと、前記入出力回路セルの各々に対応するようにその外周近傍に配置された外部端子とを半導体ペレットの一端に配置してなる半導体装置であって、前記入出力回路セル内の出力回路用MISFETによって構成された増幅回路部と、前記半導体ペレットの外端に設けられた接脚子とを有する共振回路を備えたことを特徴とする半導体装置。
- 前記出力回路用MISFETの駆動能力は、前記入力回路用MISFETの駆動能力よりも大きいことを特徴とする請求項1または2記載の半導体装置。
- 前記出力回路用MISFETのゲート幅およびゲート長は、前記入力回路用MISFETのゲート幅およびゲート長よりも大きいことを特徴とする請求項1、2または3記載の半導体装置。
- 前記隣接回路は、互いに隣接する2つの入出力回路セルによって構成され、前記増幅回路部と、前記互いに隣接する2つの入出力回路セルに対応する2つの外部端子の間に電気的に接続された外付けの接脚子および抵抗と、前記2つの外部端子の各々と基準電位との間に電気的に接続された外付けのキャパシタとを有することを特徴とする請求項1～4のいずれか1項に記載の半導体装置。

6. マスクスライス方式によって作成されたことを特徴とする請求項1～5のいずれか1項に記載の半導体装置。

(以上)

4

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-010869

(43)Date of publication of application : 16.01.1990

(51)Int.CI. H01L 27/118
H01L 27/04
H03B 5/32

(21)Application number : 63-162156

(71)Applicant : HITACHI LTD
HITACHI-MICRO COMPUT ENG LTD

(22)Date of filing : 29.06.1988

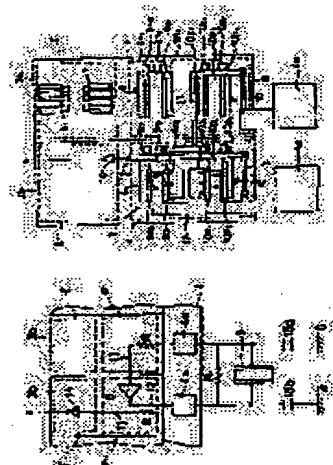
(72)Inventor : SHINTANI YOSHIO
INAZU MIKIO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To improve electrostatic breakdown strength by providing an amplifier composed of a transistor for the output circuit of an input/output circuit cell disposed on a semiconductor pellet and an oscillator formed of a vibrator provided out of the pellet.

CONSTITUTION: Capacitors 15a, 15b are connected in series between pads 4a, 4b connected to the input/output terminals of an oscillation inverter formed on an output circuit element region F and a reference potential G. A resistor R1 and a positive feedback crystal vibrator 5 are connected in parallel between the pads 4a and 4b thereby to form an oscillator. A clock signal oscillated from an oscillator inverter 6 is transmitted from the pad 4b to an inner cell array region A through a protective resistor R of an I/O cell 3b and an inverter 14. According to such a configuration, since the inverter 6 of the amplifier of the oscillator is composed of an output NMOS 9 having a strong structure against an electrostatic breakdown and an output PMOS 10, the electrostatic breakdown strength of the inverter 6 is improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]